

課題番号 : F-19-RO-0003
 利用形態 : 技術代行
 利用課題名(日本語) : ダブルゲート・ジャンクションレス n-ch 多結晶ゲルマニウム薄膜トランジスタの開発
 Program Title (English) : Double-gate n-ch junctionless poly-Ge thin-film transistors
 利用者名(日本語) : 原明人
 Username (English) : Akito Hara
 所属名(日本語) : 東北学院大学工学部電気電子工学科
 Affiliation (English) : Department of Electrical and Electronic Engineering, Tohoku-Gakuin University
 キーワード/Keyword : ドーピング、ゲルマニウム、薄膜トランジスタ

1. 概要(Summary)

Ge は Si や酸化物半導体、有機物半導体よりも優れた移動度を有しており、高いオン電流を期待できる。また、融点が Si よりも 450°C 低いことから低温プロセスも期待できる。そのため Ge は次世代の MOSFET (電界効果トランジスタ) やフレキシブルデバイスとして注目されている。しかし、絶縁膜上に Ge を形成すると多結晶のゲルマニウム (poly-Ge) が形成される。Poly-Ge は強い p 型を示すことが知られている。集積回路を作るためには CMOS を構成する n 型の薄膜トランジスタ (TFT) と p 型の TFT が必要である。本研究では、ダブルゲート・ジャンクションレス n-ch 多結晶ゲルマニウム薄膜トランジスタを開発することを目的としている。

2. 実験(Experimental)

【利用した主な装置】

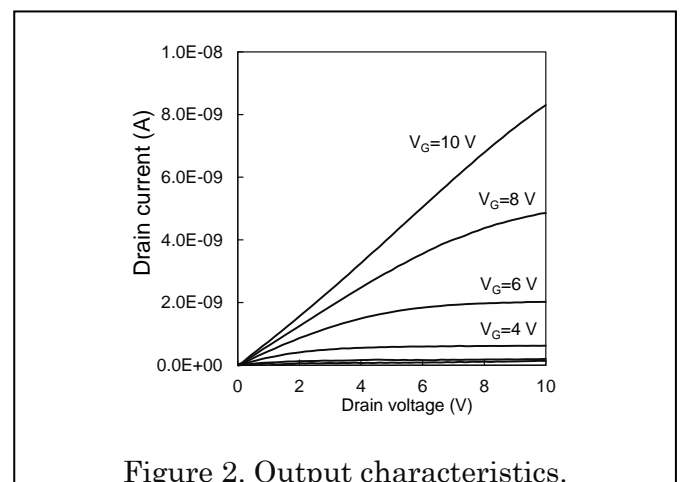
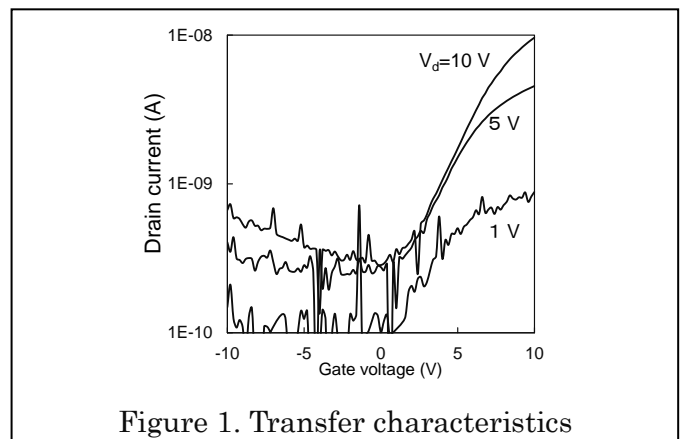
イオン注入装置

【実験方法】

スパッタリングでガラス上に Mo を成膜し、ボトムゲートメタルを作成、その上に PECVD でボトムゲート絶縁膜 (SiO₂) を 30 nm 成膜し、トランジスタアイランド形成のためスパッタリングで Ge の成膜を行う。次に広島大学支援機関にて n 型にするためにイオン注入を施し、トップゲート絶縁膜 (SiO₂) を成膜し、上下のゲートをつなぐために RIE でゲートコンタクトを作成する。その次にトップのゲートメタルである Mo を成膜するために、再びスパッタリングを行う。上下のゲート合わせのためにボトムゲートをマスクとした背面露光を行い、トップゲートを形成する。配線ショートを防止するために層間絶縁膜 (SiO₂) を PECVD で成膜を行う。RIE でコンタクトホールを作り電極を形成する。最後にファイナルアニールの熱処理を行う。

3. 結果と考察(Results and Discussion)

図 1、2 は、それぞれトランスファ特性、出力特性を示しており、電界効果移動度が $3 \times 10^{-3} \text{ cm}^2/\text{Vs}$ であった。オン電流が小さい (移動度が小さい) ため結晶化条件の改善が必要である。また、SD が高抵抗なことから、イオン注入の条件の改善も必要である。



4. その他・特記事項 (Others)

なし

5. 論文・学会発表 (Publication/Presentation)

なし

6. 関連特許 (Patent)

なし