

課題番号 : F-18-RO-0040
利用形態 : 機器利用
利用課題名(日本語) : SiC-MOSトランジスタのセルフアラインプロセス開発
Program Title (English) : Self-aligned process development of SiC-MOSFET
利用者名(日本語) : 伊藤天太¹⁾, 花房宏明²⁾
Username (English) : T. Ito¹⁾, H. Hanafusa²⁾
所属名(日本語) : 1) 広島大学工学部第二类電子システム課程
2) 広島大学大学院先端物質科学研究科
Affiliation (English) : 1) Hiroshima University Faculty of Engineering Class 2 Electronic System Course
2) Graduate School of Advanced Science of Matter, Hiroshima University
キーワード/Keyword : リソグラフィ、切削、4H-SiC、凝集抑制、セルフアラインプロセス

1. 概要(Summary)

4H-SiC にイオン注入した不純物の活性化には 1700°C 程度の熱処理が必要である[1]。そのためゲート絶縁膜上に Si 層を堆積させてゲート長を自己整合的に配置するセルフアラインプロセスは活性化アニール処理時に Si 層が凝集・溶融することから 4H-SiC トランジスタ作製プロセスに適用することは困難であった。本研究では急速な加熱・冷却が可能な大気圧熱プラズマジェット (TPJ) 熱処理とゲート Si の周囲に SiO₂ 膜を形成することで Si 層の凝集を抑制できるのではないかと考え研究を行った。その結果、SiC の表面温度が 1600°C 程度においても Si 層の凝集を抑制できることが明らかとなった。

2. 実験(Experimental)

【利用した主な装置】

ダイサー、マスクレス露光装置

【実験方法】

4H-SiC 基板をダイサーによりカットし、その後リモートプラズマ化学気相堆積法 (RP-CVD) によりゲート絶縁膜として SiO₂ 膜を 100 nm、CVD により 220 nm のアモルファスシリコン膜 (a-Si) を堆積した。続いて TPJ アニール時の保護膜として RPCVD 法により SiO₂ 膜を 500nm 堆積した。その後、マスクレス露光装置を用いたリソグラフィ及びウェットエッチングによりゲート構造を模した長方形のパターンに a-Si 層を形成した。さらに、a-Si 層の側面も SiO₂ 層で覆う為に熱酸化を行った。その後、走査速度 100mm/s の条件で TPJ 照射による加熱を行った。光学顕微鏡によりゲートパターンの評価を行った。

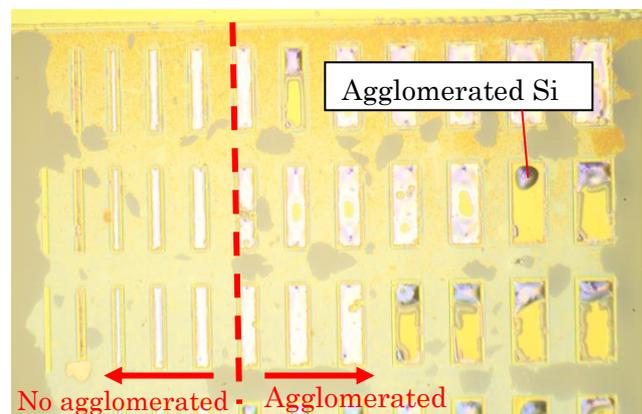


Fig. 1: Optical microscope image obtained from gate-patterned Si layer after TPJ annealing.

3. 結果と考察 (Results and Discussion)

Figure 1 に TPJ 照射後の Si 層のパターンを示す。この時、基板裏面の温度は 1380°C であり、表面温度は推定 1600°C 以上であることが解析により推定されている。表面 SiO₂ 層がない場合は Si 層が凝集し、パターンがすべて消失した。一方、SiO₂ 保護層を堆積した場合においては短軸方向の長さが短くなるにつれ凝集が抑制される結果となった。このことから、ゲート部に SiO₂ 層を形成することで Si 層の形状を維持したままソース・ドレイン部の昇温が可能であることが示唆され、セルフアラインプロセスを SiC トランジスタの作製プロセスに導入することが可能であると考えられる。

4. その他・特記事項 (Others)

[1] J. M. Bluet, et al., J. Appl. Phys. 88 (2000) 1971.

5. 論文・学会発表 (Publication/Presentation)

平成 30 年度 TPJ 照射中における SiC 上の Si 層凝集抑制に関する研究 伊藤天太 卒業 和文

6. 関連特許

なし