

課題番号 : F-18-RO-0013  
 利用形態 : 技術代行  
 利用課題名(日本語) : High-k を利用した 4 端子連続発振レーザラテラル結晶化低温 poly-Si TFT CMOS インバータの開発  
 Program Title (English) : CMOS inverter using 4T CLC poly-Si TFT with high-k gate stack  
 利用者名(日本語) : 西口尚希, 原明人  
 Username (English) : N. Nishiguchi, A. Hara  
 所属名(日本語) : 東北学院大学大学院工学研究科  
 Affiliation (English) : Tohoku Gakuin University  
 キーワード/Keyword : ドーピング、多結晶シリコン、薄膜トランジスタ

### 1. 概要(Summary)

HfO<sub>2</sub>をトップゲートとした n-ch および p-ch 4 端子連続発振レーザラテラル結晶化(CLC)低温 poly-Si TFT を作成した。n-ch に対しては概ね良好な結果が得られた。p-ch に対してはイオン注入前の SD 領域の絶縁膜のエッチングプロセスが不十分であり、十分なオン電流が得られなかったものの、4 端子の動作は確認された。

一方、p-ch については注入前の SD 領域の絶縁膜エッチングプロセスが不十分であり、SD 領域にイオン注入が十分に行われなかったためオン電流が得られていない。また、詳細な検討の結果、先の n-ch の特性と  $\gamma$  値が異なっており、p-ch の HfO<sub>2</sub> の厚さが不十分であることも確認されている。非常に荒い近似では TG の CET=13 nm が得られている。

### 2. 実験(Experimental)

#### 【利用した主な装置】

イオン注入

#### 【実験方法】

指定した条件においてイオン注入を行う。

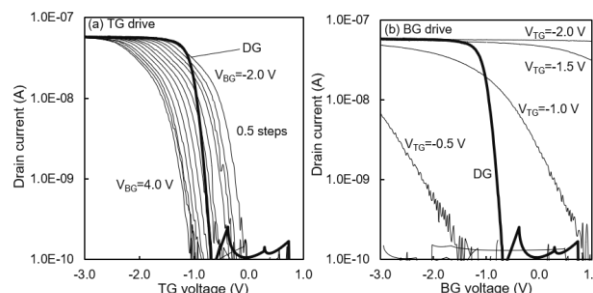


図 2. TG および BG の 4 端子動作における p-ch のトランスファ特性

### 3. 結果と考察(Results and Discussion)

TG は SiO<sub>2</sub> を PECVD で 10 nm 形成後に反応性スパッタによって HfO<sub>2</sub> を形成している。BG SiO<sub>2</sub> の厚さは 100 nm である。

図1(a)(b)は n-ch poly-Si TFT の TG および BG 動作での特性である。それぞれの図中の太線は DG 動作での特性であり、4 端子として正常に動作している。

TG に HfO<sub>2</sub> を利用した 4T CLC poly-Si TFT を作成し、プロセスの最適化は不十分ではあるものの、n-ch および p-ch の 4 端子動作は確認された

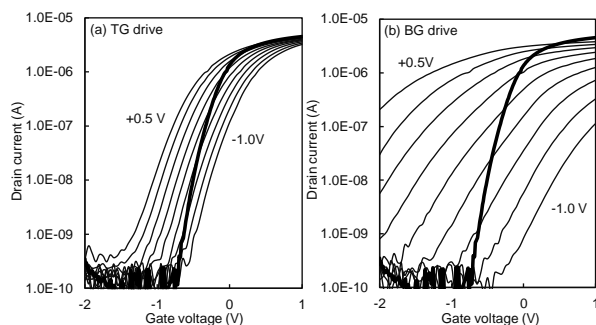


図 1. TG および BG の 4 端子動作における n-ch のトランスファ特性

### 4. その他・特記事項(Others)

「なし。」

### 5. 論文・学会発表(Publication/Presentation)

(1)西口尚希 その他, 2018 年応用物理学会秋季学術講演会 20p-144-7, 平成 30 年 9 月 20 日.

### 6. 関連特許(Patent)

「なし。」