課題番号　:F-17-RO-0024
利用形態　:機器利用
利用課題名（日本語）　:Si 膜および Al 膜の堆積速度測定
Program Title (English)　:Mesurement of Si and Al thin film deposition rate
利用者名（日本語）　:葉文昌, 平末充紀
Username (English)　:W. Yeh, M. Hirasue
所属名（日本語）　:島根大学大学院　総合理工学研究科
Affiliation (English)　:Shimane University
キーワード／Keyword　:薄膜トランジスタ、スパッタ、イオン注入、表面段差計、形状・形態観察

1. 概要（Summary）

低温多結晶薄膜トランジスタ(poly-Si TFT)の作製のため、スパッタ堆積法による Si 膜および Al 膜の堆積速度測定を表面段差計により行った。

2. 実験（Experimental）

【利用した主な装置】

表面段差計

【実験方法】

研究室が所有する DC スパッタ成膜装置で成膜した Si 膜と Al 膜の膜厚を改めて測定するため、レジストにより一部の膜を被覆し、露出部分をエッチング除去することにより段差を形成し、表面段差計により膜厚を測定した。

3. 結果と考察（Results and Discussion）

膜厚測定に関して、Si については図 2 に示すように 64±8 nm が得られた。またスパッタ成膜された Al 膜の膜厚は 100 nm±2 nm が得られた。Si についてはほぼ予想通りであった。Si 膜厚の均一性を高めるために、ガス導入口を変更する必要があるなどの指針を得た。

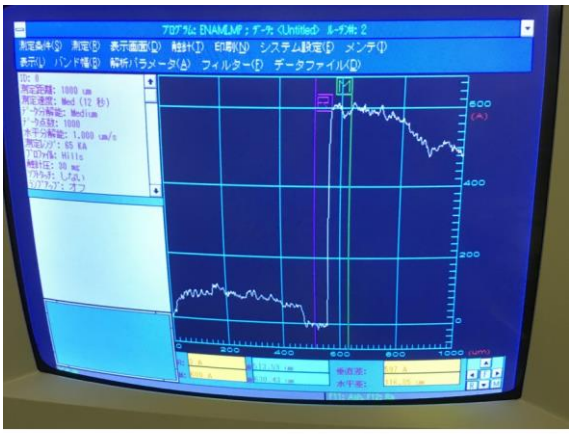

Fig2.Surface profile of step formed in Si film

4. その他・特記事項（Others）

ナノテクプラットフォームの研究員諸氏の実験への協力やアドバイスに感謝いたします。
本研究は JST ASTEP/FS プロジェクトにおいて行われました。