

課題番号	:F-16-RO-0001
利用形態	:技術代行
利用課題名(日本語)	:ガラス基板上の4端子低温poly-Si TFT CMOSインバータの開発
Program Title (English)	:CMOS Inverter Using Four-Terminal Low-Temperature Poly-Si TFTs on Glass Substrate
利用者名(日本語)	:大澤弘樹 ¹⁾ , 原明人 ¹⁾
Username (English)	:H.Ohsawa ¹⁾ , A.Hara ¹⁾
所属名(日本語)	:1) 東北学院大学大学院工学研究科
Affiliation (English)	:1) Tohoku Gakuin University

1. 概要(Summary)

自己整合四端子(4T)平面型メタルダブルゲート低温poly-Si TFTから成るCMOSインバータをガラス上に作製した。制御電極を用いてTFTのV_{th}を制御することによって、V_{dd}=1.0 Vで良好なCMOSインバータの特性が得られた。

2. 実験(Experimental)

【利用した主な装置】

イオン注入装置

【実験方法】

CMOSインバータは隣接するn-chとp-chの4T poly-Si TFTから作製されており、CMOSプロセスは過去の個別4T TFTのプロセス⁽¹⁾とほぼ同様である。ゲート長はn-chとp-ch TFT共に5 μmである。ゲート幅はn-ch TFTが5 μm、p-ch TFTが15 μmである。チャネルpoly-Siは、CLC法により作製された。ゲート絶縁膜は、プラズマCVDによって成長されたSiO₂を用いており、その膜厚はTGが50 nm、BGが150 nmである。ソース・ドレイン領域はn-chとp-ch TFTに対し、それぞれリノバリあるいはBF₂のイオン注入を利用して作製された。図1(a)はCMOSインバータの回路図を示している。TFTのBGを制御ゲートとして利用しており、n-ch TFTの制御電圧をV_{CGn}、p-ch TFTの制御電圧をV_{CGp}で表現している。この回路を用いてCMOSインバータの特性を測定した。

3. 結果と考察(Results and Discussion)

図1(b)はCMOSインバータを構成するn-chとp-ch TFTのトランスマニア特性を示している。制御電圧がV_{CGn}=V_{CGp}=0 Vのとき、n-chとp-chのV_{th}は-3.5 V付近にあるが(図中記述なし)、制御電圧がV_{CGn}=-9.5 V、V_{CGp}=-7.6 Vのとき、n-chとp-chのV_{th}は0 V付近にあることが確認できる。すなわち、負の制御電圧によつ

てn-chとp-ch TFTのV_{th}を0 V付近に制御することが可能である。図1(c)は制御電圧がV_{CGn}=-9.5 V、V_{CGp}=-7.6 VのときのCMOSインバータの特性を示している。電源電圧はV_{dd}=1.0 Vである。このCMOSインバータの特性はhighからlowへの遷移が0.5 Vで起こる良好な特性である。

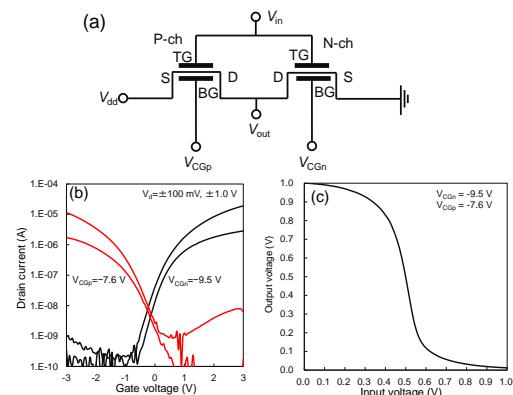


図1. (a)回路図 (b) TFTのトランスマニア特性
(c)CMOSインバータの特性

4. その他・特記事項(Others)

・参考文献

- (1) H. Ohsawa, S. Sasaki and A. Hara, Jpn. J. Appl. Phys., 55, 03CC01 (2016).

・科学研究費基盤 (C)25420339, (C)16K06311

5. 論文・学会発表(Publication/Presentation)

- (1) 大澤 弘樹, 原 明人, 2016年 応用物理学会東北支部第71回学術講演会, 1aA04
- (2) 大澤 弘樹, 原 明人, 2016年12月 シリコン材料・デバイス研究会(SDM), SDM2016-100, p. 45.
- (3) 大澤 弘樹, 原 明人, 2017年3月 第64回応用物理学会春季学術講演会, 14a-304-5.

6. 関連特許(Patent)

なし