

課題番号 : F-15-RO-0009
 利用形態 : 技術代行
 利用課題名(日本語) : 自己整合 4 端子メタルダブルゲート CLC 低温 poly-Si TFT の制御性に関する研究
 Program Title (English) : Controllability of Self-Aligned Four-Terminal Metal Double-Gate LT Poly-Si TFTs
 利用者名(日本語) : 大澤弘樹, 原明人
 Username (English) : H. Ohsawa, A. Hara
 所属名(日本語) : 東北学院大学工学研究科
 Affiliation (English) : Tohoku Gakuin University

1. 概要(Summary)

我々は、多結晶シリコン(poly-Si)をチャンネルに利用した 4 端子(4T)低温(LT)薄膜トランジスタ(TFT)の作製に成功している。4T 構造では上下のゲートを独立に駆動させることで、一方のゲートで行うスイッチング動作に加えて、他方のゲートでその閾値電圧(V_{th})の制御を可能にする。本研究では、トップゲート酸化膜の厚さを変化させることによる 4T LT poly-Si TFT の制御性について検討を行った、

2. 実験(Experimental)

【利用した主な装置】

イオン注入装置

【実験方法】

基板は石英ガラスを用いている。まず、RIE によるトレンチの形成、タングステン(W)のスパッタ、CMP による研磨を行い、ボトムゲート(BG)を形成した。次に、PECVD で、BG SiO_2 を 150 nm、非晶質 Si を 75 nm 製膜、続いて CLC 法によるレーザ結晶化を行い、大粒径のラテラル poly-Si 薄膜を形成した。次に RIE によるトランジスタアイランドの形成後、PECVD でトップゲート(TG) SiO_2 を 50 or 75 nm 形成した。次に TG メタル(W)のスパッタ後、BG をフォトマスクとして背面露光を行い、自己整合的に TG を形成した。ソース・ドレイン領域上の SiO_2 層を RIE により除去後、P のイオン注入を行った。続いて、BG にコンタクトをとるため TG の一部を RIE により除去し、PECVD で層間絶縁膜 SiO_2 を製膜した。次に、 N_2 雰囲気中において 550°C で 6 時間の活性化アニールを行った。この温度がプロセス最高温度である。引き続き RIE でコンタクトホールを形成し、電極メタル(Mo)をスパッタにて製膜した。その後、ウェットエッチングにて電極を形成し、最後に水素化を行った。

3. 結果と考察(Results and Discussion)

Fig. 1 は、トップゲート酸化膜 50 nm あるいは 75 nm、ボトムゲート酸化膜 150 nm を有する TFT について、(a) ボトムゲートをコントロールゲート、トップゲートをドライブゲート (b) トップゲートをコントロールゲート、ボトムゲートをドライブゲートとした時の V_{th} 制御性を調べた結果である。グラフの中の数値は γ 値 ($\gamma = |\Delta V_{th} / \Delta V_{CG}|$) を示している。括弧内の数値は理論値である。トップゲート酸化膜のわずかな厚さ変化に対応して V_{th} が変化しており、高い制御性を有していることが明らかになった。

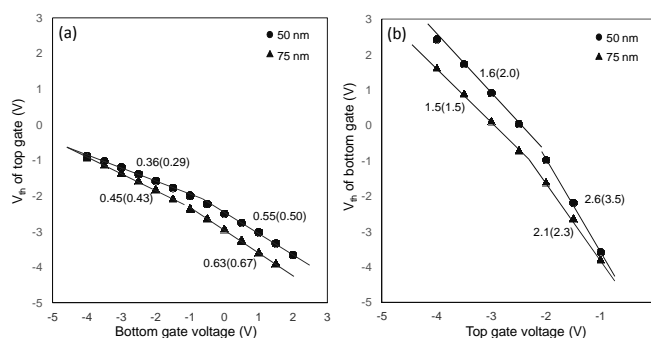


Fig. 1. V_{th} controllability of 4T LT poly-Si TFT (a) top :drive gate, bottom :control gate and (b) top: control gate, bottom :drive gate.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

- (1) Akito Hara, Tatsuya Meguro, Shun Sasaki and Hiroki Ohsawa: ECS Transactions 67 (2015) 79.
- (2) Hiroki Ohsawa, Shun Sasaki and Akito Hara: Jpn. J. Appl. Phys. 55 (2016) 03CC01.

6. 関連特許(Patent)

なし。