

※課題番号 : F-12-RO-0009
 ※支援課題名 (日本語) : LPCVD 法による一貫薄膜 Si/SiO₂ 多層膜形成法の検討
 ※Program Title (in English) : Substrate fabrication for multi PIN diode with PC-controlled multi-LPCVD
 ※利用者名 (日本語) : 保坂純男、張 慧、Huda Mifutakhul、Zulfakri Mohamad、Yin You
 ※Username (in English) : S. Hosaka, H. Zhang, M. Huda, Z. Mohamad, Y. Yin
 ※所属名 (日本語) : 群馬大学大学院工学研究科
 ※Affiliation (in English) : Graduate School of Eng. Gunma Univ.

※概要 (Summary) :

1つの炉を用いて計算機制御により3次元量子ドット太陽電池用多層膜PIN基板作成法の確立を目指し、LP-CVDによるpoly-Si膜の形成、熱酸化によるSiO₂の形成、pドープSi膜の形成を行い、その可能性を調べた。その結果、太陽電池特性が得られなく、一貫プロセスによる薄膜多層PINダイオード基板形成は非常に難しいことが分かった。

背景：多層PINダイオード基板を試作するのに、LP-CVD法により、poly-Si、SiO₂薄膜を作ることは、時間が掛かり、条件を変化して実験するのが難しく、PC制御でLP-CVDができないか検討したので報告する。

※実験 (Experimental) :

広島大学ナノデバイス・バイオ研究所のLP-CVD装置を用いて、Si熱酸化膜(1nm厚)とpoly-Si層(目標：10nm厚)を1層形成した基板を試作した。P型Si基板を用い、その上に、熱酸化SiO₂膜(1nm厚)、poly-Si層(10nm厚)、SiO₂熱酸化膜(1nm厚)、pドープSi層(50nm厚)をLP-CVD、熱酸化、p拡散の一貫プロセスで形成した(図1)。ここでは、評価用としてpoly-Si1層のみ試作した。

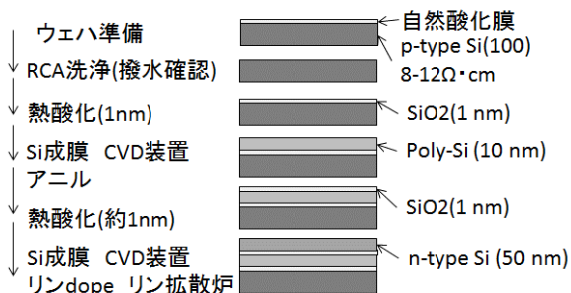


図1 固定炉で行った一貫プロセスフロー

※結果と考察 (Results and Discussion) :

形成した試料の太陽光発電特性を測定するため、図2の試料を試作した。Si基板側は、酸化膜を落とし、銀ペーストを用いて下部電極の銅板に接着した。上部電極はITOをスパッタして、これを用いた。半導体パラメータアナライザにてI-V特性を計測した。アニール(約900°C、1時間)をして計測した。

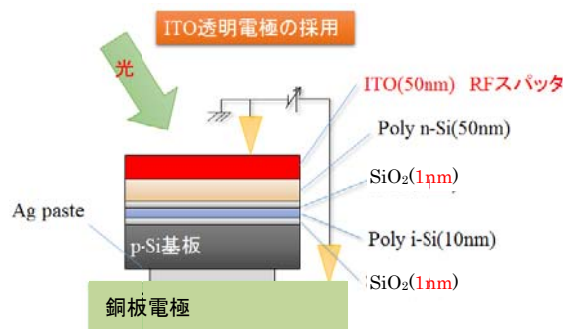


図2 試作素子及び測定回路概略

その結果は、アニールしても発電特性を見出すことができなかった。これは、酸化膜やpoly-Si膜の膜厚が大きいために予想される。この原因として、膜厚コントロールと一貫プロセスに問題がある。やはり、1nm膜厚制御が難しいことと、1つの炉で一貫プロセスを行ったことに問題があることが分かった。

※その他・特記事項 (Others) :

今後の課題：PC制御の一貫プロセスを試みたが、各プロセスを1つの炉で行うことは、微細性、およびSiやSiO₂薄膜の質に問題があることが分かる。このため、2年前の方法に戻し、基板試作をする必要がある。

共同研究者等 (Coauthor) :

松垣仁 (広島大学)、福山正隆 (広島大学)